

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Mitsushi FUJIKI**

Serial Number: **Not Yet Assigned**

Filed: **February 6, 2004**

Customer No.: **38834**

For: **METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P. O. Box 1450  
Alexandria, VA 22313-1450

February 6, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2003-075761, filed on March 19, 2003**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,  
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP



Scott M. Daniels  
Reg. No. 32,562

Atty. Docket No.: 042068  
1250 Connecticut Ave, N.W., Suite 700  
Washington, D.C. 20036  
Tel: (202) 822-1100  
Fax: (202) 822-1111  
SMD/ll

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月19日  
Date of Application:

出願番号 特願2003-075761  
Application Number:

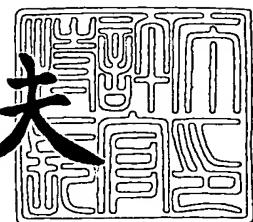
[ST. 10/C] : [JP2003-075761]

出願人 富士通株式会社  
Applicant(s):

2003年12月18日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願  
【整理番号】 0241724  
【提出日】 平成15年 3月19日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 27/10 451  
【発明の名称】 半導体装置の製造方法  
【請求項の数】 6  
【発明者】  
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内  
【氏名】 藤木 充司  
【特許出願人】  
【識別番号】 000005223  
【氏名又は名称】 富士通株式会社  
【代理人】  
【識別番号】 100091672  
【弁理士】  
【氏名又は名称】 岡本 啓三  
【電話番号】 03-3663-2663  
【手数料の表示】  
【予納台帳番号】 013701  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9704683  
【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板の上方に絶縁膜を形成する工程と、

室温よりも高く且つ300℃よりも低い温度に基板温度を保持しながら下部電極用導電膜の下側層を前記絶縁膜上に形成する工程と、

前記下部電極用導電膜の上側層を前記下側層上に形成し、該上側層と下側層とを前記下部電極用導電膜とする工程と、

前記下部電極用導電膜上に強誘電体膜を形成する工程と、

前記強誘電体膜上に上部電極用導電膜を形成する工程と、

前記上部電極用導電膜、前記強誘電体膜、及び前記下部電極用導電膜をパテーニングして強誘電体キャパシタを形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項 2】 前記下部電極用導電膜の下側層をスパッタ法により形成することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記下部電極用導電膜の下側層として、チタン層、又はチタンと貴金属との合金層を形成することを特徴とする請求項 1 又は請求項 2 に記載の半導体装置の製造方法。

【請求項 4】 前記下部電極用導電膜の下側層の配向方向は(002)方向であることを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 5】 前記下部電極用導電膜の上側層の配向方向は(222)方向であることを特徴とする請求項 1 乃至請求項 4 のいずれか一項に記載の半導体装置の製造方法。

【請求項 6】 前記下部電極用導電膜の下側層を形成する前に、前記絶縁膜の表面をNH<sub>3</sub>プラズマに曝して改質することを特徴とする請求項 1 乃至請求項 5 のいずれか一項に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、より詳しくは、強誘電体キャパシタを備えた半導体装置の製造方法に関する。

### 【0002】

#### 【従来の技術】

電源を切っても情報が残存する不揮発性メモリには幾つかのタイプがあるが、中でもFeRAM (Ferroelectric Random Access Memory) はその高速動作と低電圧動作とにより近年注目されている。

### 【0003】

FeRAMは、下部電極、キャパシタ強誘電体膜、及び上部電極をこの順に積層してなる強誘電体キャパシタを備え、キャパシタ強誘電体膜の二つの分極方向をそれぞれ「0」、「1」に対応させることで情報を記憶する。「0」、「1」の分別は、キャパシタ強誘電体膜の分極量が大きい程容易となるが、そのためには良好な結晶性がキャパシタ強誘電体膜に要求される。

### 【0004】

一般的に使用されるキャパシタ強誘電体膜としてはPZT( $Pb(Zr_x, Ti_{1-x})O_3$ )膜があり、このPZT膜は(001)方向に分極する。従って、PZT膜では、その配向を(001)方向に揃えることにより自発分極を最大にできるが、通常は(001)方向へ配向を揃えることはできず、代わりに(111)方向へ配向を揃えることにより自発分極を稼ぐのが一般的である。

### 【0005】

PZT膜の配向は下部電極の配向と同じ方向となり、更にその配向強度も下部電極の配向が強くなるほど大きくなる。よって、PZT膜の自発分極を大きくするには、PZT(111)と同じ方向に強く配向した材料で下部電極を構成すればよく、通常は、(111)方向と同方向である(222)方向に配向したPt膜を下部電極に採用する。

### 【0006】

ところが、Pt膜を絶縁膜上に直接形成するとPt膜がその絶縁膜から剥がれ易くなるので、特許文献1のように、Ti(チタン)膜等の密着膜の上にPt膜を形成し、これらTi膜とPt膜とで下部電極を構成することが提案されている。

### 【0007】

その場合、Ti膜の配向性は、その上のPt膜の配向に影響を与え、最終的にはキヤパシタ強誘電体膜の配向性を左右することになるので、(002)方向に強い配向を持ったTi膜を成膜する方法が望まれている。

### 【0008】

例えば、非特許文献1には、基板を350℃に加熱し、Tiのスパッタ雰囲気中にH<sub>2</sub>Oを添加することにより、Ti膜の(002)方向の配向を高める方法とその実験結果とが開示されている。

### 【0009】

#### 【特許文献1】

特開平9-53188号公報

#### 【非特許文献1】

Jpn. J. Appl. Phys. Vol. 36 (1997) pp. L154-L157 Part2, No. 2A, February 199

7

### 【0010】

#### 【発明が解決しようとする課題】

上記した従来例のうち、特許文献1は、チタン酸鉛系強誘電体薄膜の下地となるPt膜を(200)方向に配向させることにより、その上の強誘電体薄膜をその分極方向であるc軸方向に配向させ、該強誘電体薄膜の自発分極を最大にする方法を提案している。

### 【0011】

しかしながら、特許文献1によると、Pt膜を(200)方向に配向させるために(i)Pt-Pb合金薄膜の形成、(ii)Pt-Pb合金薄膜の酸化、(iii)該酸化で形成されたPbO層の除去、という複雑なステップを必要とするので、FeRAMのプロセスが煩雑になってしまう。

### 【0012】

よって、プロセスの煩雑化の防止と、PZT膜の自発分極の増大とを両立させるには、配向し難い(200)方向にPt膜を無理に配向させるよりも、配向し易い(222)方向にPt膜を強く配向させるのが好ましく、そのためには下地のTi膜の配向も強くする必要がある。

**【0013】**

本発明の目的は、簡便な方法で、キャパシタ下部電極の配向強度を従来よりも高くすることができる半導体装置の製造方法を提供することにある。

**【0014】****【課題を解決するための手段】**

本発明の一観点によれば、半導体基板の上方に絶縁膜を形成する工程と、室温よりも高く且つ300℃よりも低い温度に基板温度を保持しながら下部電極用導電膜の下側層を前記絶縁膜上に形成する工程と、前記下部電極用導電膜の上側層を前記下側層上に形成し、該上側層と下側層とを前記下部電極用導電膜とする工程と、前記下部電極用導電膜上に強誘電体膜を形成する工程と、前記強誘電体膜上に上部電極用導電膜を形成する工程と、前記上部電極用導電膜、前記強誘電体膜、及び前記下部電極用導電膜をパターニングして強誘電体キャパシタを形成する工程と、を有する半導体装置の製造方法が提供される。

**【0015】**

次に、本発明の作用について説明する。

**【0016】**

本発明によれば、下部電極用導電膜の下側層を成膜する際、室温よりも高く且つ300℃よりも低い温度に基板温度を保持するが、このようにすることで特定方向への強い配向が下側層に誘起され、それにつられて上側層の配向強度も強められることが実験により明らかとなった。その結果、上側層の上に形成される強誘電体層の配向も大きくなるので、自発分極量の大きな強誘電体キャパシタを安定して量産することが可能となる。

**【0017】****【発明の実施の形態】**

以下に本発明の実施形態を図面に基づいて説明する。

**【0018】**

図1～図10は、本発明の実施形態に係る半導体装置の形成工程を示す断面図である。

**【0019】**

まず、図1に示す断面構造を形成するまでの工程を説明する。

#### 【0020】

n型又はp型のシリコン（半導体）基板1表面に、LOCOS(Local Oxidation of Silicon)法により素子分離絶縁膜2を形成する。素子分離絶縁膜2としてSTI(Shallow Trench Isolation)を採用してもよい。

#### 【0021】

そのような素子分離絶縁膜2を形成した後に、シリコン基板1のメモリセル領域における所定の活性領域（トランジスタ形成領域）にpウェル3を形成する。

#### 【0022】

その後、シリコン基板1の活性領域表面を熱酸化してシリコン酸化膜を形成してこれをゲート絶縁膜4として用いる。

#### 【0023】

次に、シリコン基板1の上側全面に多結晶シリコン又は高融点金属シリサイドからなる導電膜を形成する。その後に、導電膜をフォトリソグラフィー法により所定の形状にパターニングして、ゲート絶縁膜4上にゲート電極5a, 5bを形成する。メモリセル領域における1つのpウェル3上には2つのゲート電極5a, 5bがほぼ平行に配置される。それらのゲート電極5a, 5bはワード線の一部を構成する。

#### 【0024】

続いて、ゲート電極5a, 5bの両側のpウェル3内にn型不純物をイオン注入して、nチャネルMOSトランジスタのソース／ドレインとなるn型不純物拡散領域6a, 6bを形成する。さらに、シリコン基板1の全面に絶縁膜を形成した後、その絶縁膜をエッチバックしてゲート電極5a, 5bの両側部分に側壁絶縁膜7として残す。その絶縁膜は、例えばCVD法により形成された酸化シリコン(SiO<sub>2</sub>)膜である。

#### 【0025】

さらに、ゲート電極5a, 5bと側壁絶縁膜7をマスクに使用して、ウェル3内に再びn型不純物イオンを注入することによりn型不拡散領域6a, 6bをLDD(Lightly Doped Drain)構造にする。なお、1つのpウェル3において、2つの

ゲート電極5aの間に挟まれるn型不純物拡散領域6bは後述するビット線に電気的に接続され、また、pウェル3の両側の2つの不純物拡散領域6aは後述するキャパシタ上部電極に電気的に接続される。

#### 【0026】

以上のように、メモリセル領域のpウェル3では、ゲート電極5a, 5bとn型不純物拡散領域6a, 6b等によって2つのn型MOSFETが構成される。

#### 【0027】

次に、全面に高融点金属膜を形成した後に、この高融点金属膜を加熱してp型不純物拡散領域6a, 6bの表面にそれぞれ高融点金属シリサイド層8a, 8bを形成する。その後、ウェットエッチングにより未反応の高融点金属膜を除去する。

#### 【0028】

さらに、プラズマCVD法により、MOSトランジスタを覆うカバー膜9として酸化シリコン(SiON)膜をシリコン基板1の全面に約200nmの厚さに形成する。さらに、TEOSガスを用いるプラズマCVD法により、第1の層間絶縁膜10として二酸化シリコン(SiO<sub>2</sub>)をカバー膜9上に約1.0μmの厚さに成長する。続いて、第1の層間絶縁膜10を化学的機械研磨(CMP; Chemical Mechanical Polishing)法により研磨してその上面を平坦化する。

#### 【0029】

次に、図2(a)に示す構造を形成するまでの工程を説明する。

#### 【0030】

まず、不図示のTiスパッタチャンバ内のヒーターステージ上にシリコン基板1を載置し、基板温度を室温(20°C)よりも高い温度、例えば150°Cに加熱して安定させる。その基板温度の上限は、特に限定されないが、300°Cよりも低い温度であるのが好ましい。

#### 【0031】

更に、不図示の真空ポンプでチャンバ内を排気しながら、スパッタガスとしてArを50sccmの流量でチャンバ内に供給し、チャンバ内の圧力を例えば3.4×10<sup>-1</sup>Paに保持する。

**【0032】**

そして、チャンバ内の雰囲気が安定したところで、パワーが2.0kWのDC電力をTiターゲットに印加し、DCマグнетロンスパッタ法によるTiのスパッタリングを開始する。この状態を例えば15秒間維持することによりTi膜を第1の層間絶縁膜10上に厚さ5～50nm、例えば約20nmに形成し、それを下部電極用導電膜の下側層11aとする。

**【0033】**

この下側層11aは、後述の下部電極と第1の層間絶縁膜10との密着性を向上させ、下部電極が第1の層間絶縁膜10から剥がれるのを防止する働きがある。

**【0034】**

なお、下側層11aとしては、Ti膜に代えて、Tiと貴金属との合金よりなる合金膜を形成してもよい。そのような合金膜としては、例えば、Pt-Ti合金膜、Ir-Ti合金膜、及びRu-Ti合金膜等がある。

**【0035】**

その後に、図2(b)に示すように、下部電極用導電膜の上側層11bとして厚さ約175nmのPt膜をDCマグネットロンスパッタ法により形成する。そのPt膜の成膜条件は、例えば、基板温度100℃、DCパワー1.0kW、Ar流量100sccm、圧力 $5.0 \times 10^{-1}$ Paである。

**【0036】**

これにより、下側層11aと上側層11b層とで構成される下部電極用導電膜11が第1の層間絶縁膜10上に形成されたことになる。

**【0037】**

なお、上側層11bとしては、単層のPt膜に代えて、Ir(イリジウム)、Ru(ルテニウム)、Pd(パラジウム)、Pt<sub>0.8</sub>(酸化プラチナ)、Ir<sub>0.8</sub>(酸化イリジウム)、Ru<sub>0.8</sub>(酸化ルテニウム)、及びPd<sub>0.8</sub>(酸化パラジウム)のいずれか、又はこれらの合金よりなる単層膜、又は積層膜を形成してもよい。

**【0038】**

次に、図3(a)に示す断面構造を得るまでの工程について説明する。

### 【0039】

まず、PZT((Pb(Zr,Ti)O<sub>3</sub>)用のスパッタチャンバ(不図示)内に設けられたヒーターステージ上にシリコン基板1を載置し、シリコン基板1を約50℃に加熱する。そして、スパッタ用のArを15～25sccmの流量でチャンバ内に供給すると共に、チャンバ内を真空ポンプで排気する。そして、チャンバ内の圧力が安定したところで、周波数が13.56MHzでパワーが1.0kWのRF電力をPZTターゲットに印加することにより、下部電極用導電膜11上にPZT膜を厚さ約175nmにRFスパッタ法により形成し、それを強誘電体膜12とする。

### 【0040】

この強誘電体膜12中のPbの量は、スパッタに使用されるArの流量を調節することにより制御可能である。また、強誘電体膜12の成膜方法はスパッタ法に限定されず、スピノン法、ゾルーゲル法、MOD(Metal Organic Deposition)法、MOCVD(Metal Organic CVD)法であってもよい。更に、求められるキャパシタの特性に応じて、強誘電体膜12を構成するPZTにCa(カルシウム)、Sr(ストロンチウム)、La(ランタン)等を微量にドープしてもよい。

### 【0041】

なお、強誘電体膜12を構成する材料としては、PZTの他に、SrBi<sub>2</sub>(Ta<sub>x</sub>Nb<sub>1-x</sub>)<sub>2</sub>O<sub>9</sub>(0<x≤1)やBi<sub>4</sub>Ti<sub>2</sub>O<sub>12</sub>のようなBi層状構造化合物や、SrTiO<sub>3</sub>、(Ba, Sr)TiO<sub>3</sub>、(Pb, La)(Zr, Ti)O<sub>3</sub>等がある。

### 【0042】

その後に、酸素含有雰囲気中で強誘電体膜12をアニールすることにより、強誘電体膜12を構成するPZTを結晶化する。そのアニールとして、酸素濃度が2.5%のAr雰囲気中で基板温度600℃、処理時間90秒の条件を第1ステップ、酸素濃度100%で基板温度750℃、処理時間60秒の条件を第2ステップとする2ステップのRTA(Rapid Thermal Annealing)を採用する。

### 【0043】

続いて、2ステップのDCマグнетロンスパッタ法により、強誘電体膜12上に上部電極用導電膜13としてIrO<sub>x</sub>層を厚さ約200nmに形成する。その第1ステップの条件としては、DCパワー1.04kW、Ar流量100sccm、O<sub>2</sub>流量100sc

cm、基板温度20°C、成膜時間29秒を採用し、第2ステップとしては、DCパワー2.05kW、Ar流量100sccm、O<sub>2</sub>流量100sccm、基板温度20°C、成膜時間22秒を採用する。

#### 【0044】

なお、上部電極用導電膜13として、プラチナ膜又はルテニウム酸ストロンチウム(SRO)膜をスパッタ法により形成してもよい。

#### 【0045】

その後に、上部電極用導電膜13上にレジストを塗布し、これを露光、現像することにより、上部電極形状の第1のレジストパターン14を形成する。

#### 【0046】

次に、図3(b)に示すように、第1のレジストパターン14をマスクに使用して上部電極用導電膜13をエッチングし、これにより残った上部電極用導電膜13をキャパシタ上部電極13aとする。

#### 【0047】

第1のレジストパターン14を除去した後に、温度650°C、60分間の条件で、キャパシタ上部電極13aを透過させて強誘電体膜12を酸素雰囲気中でアニールする。このアニールは、スパッタリング及びエッチングの際にに入ったダメージから強誘電体膜12を回復させるために行われる。

#### 【0048】

次に、キャパシタ上部電極13a及び強誘電体膜12の上にレジストを塗布し、これを露光、現像することにより、図4(a)に示すような第2のレジストパターン15を形成する。

#### 【0049】

その後、図4(b)に示すように、第2のレジストパターン15をマスクに使用して強誘電体膜12をエッチングし、これによりパターニングされた強誘電体膜12をキャパシタ誘電体膜12aとして使用する。

#### 【0050】

第2のレジストパターン15を除去した後に、温度650°C、60分間でキャパシタ誘電体膜12aを酸素雰囲気中でアニールする。

**【0051】**

さらに、図5(a)に示すように、キャパシタ上部電極13a、キャパシタ誘電体膜12a及び下部電極用導電膜11の上に、エンキャップ層17としてAl<sub>2</sub>O<sub>3</sub>膜をスパッタリング法により50nmの厚さに常温で形成する。このエンキャップ層17は、還元され易いキャパシタ誘電体膜12aを水素から保護するために形成される。エンキャップ層17として、PZT膜、PLZT膜又は酸化チタン膜を形成してもよい。

**【0052】**

その後に、酸素雰囲気中で、700℃、60秒間、昇温速度125℃/secの条件で、エンキャップ層17の下のキャパシタ誘電体膜12aを急速熱処理してその膜質を改善する。

**【0053】**

次に、図5(b)に示すように、エンキャップ層17の上にレジストを塗布し、これを露光、現像することにより、キャパシタ下部電極形状の第3のレジストパターン16をキャパシタ誘電体膜12aの上に形成する。

**【0054】**

その後に、図6(a)に示すように、第3のレジストパターン16をマスクに使用してエンキャップ層17及び上部電極用導電膜11をエッティングし、これにより第3のレジストパターン16の下に残った上部電極用導電膜11をキャパシタ下部電極11cとして使用する。この後に、第3のレジストパターン16を除去する。

**【0055】**

これにより、キャパシタ下部電極11c、キャパシタ誘電体膜12a、及びキャパシタ上部電極13aを順に積層してなる強誘電体キャパシタQが第1の層間絶縁膜10上に形成されたことになる。

**【0056】**

続いて、酸素雰囲気中で温度650℃、60分間の条件で、キャパシタ誘電体膜12aをアニールしてダメージから回復させる。

**【0057】**

次に、図6(b)に示すように、強誘電体キャパシタQ及び第1の層間絶縁膜10の上に、第2の層間絶縁膜18として膜厚1200nmのSiO<sub>2</sub>膜をCVD法により形成した後に、第2の層間絶縁膜18の表面をCMP法により平坦化する。第2の層間絶縁膜18の成長は、反応ガスとしてシラン(SiH<sub>4</sub>)を用いてもよいし、TEOSを用いて行ってもよい。第2の層間絶縁膜18の表面の平坦化は、キャパシタ上部電極13aの上面から200nmの厚さとなるまで行われる。

#### 【0058】

次に、図7(a)に示す構造を形成するまでの工程について説明する。

#### 【0059】

まず、第1及び第2の層間絶縁膜10, 18、カバー膜9をパターニングして、n型不純物拡散層6a, 6bの上にコンタクトホール18a, 18bを形成する。第1及び第2の層間絶縁膜10, 18とカバー膜9のエッチングガスとして、CF系ガス、例えばCF<sub>4</sub>にArを加えた混合ガスを用いる。

#### 【0060】

次に、第2の層間絶縁膜18上面とコンタクトホール18a, 18b内面に、スパッタリング法によりチタン(Ti)膜を20nm、窒化チタン(TiN)膜を50nmの厚さに形成し、これらの膜を密着層とする。さらに、フッ化タンゲステンガス(WF<sub>6</sub>)、アルゴン、水素の混合ガスを使用するCVD法により、密着層の上にタンゲステン膜を形成し、これにより各コンタクトホール18a, 18bを完全に埋め込む。

#### 【0061】

さらに、第2の層間絶縁膜15上のタンゲステン膜と密着層をCMP法により除去し、各コンタクトホール18a, 18b内にのみ残す。これにより、コンタクトホール18a, 18b内のタンゲステン膜と密着層を導電性プラグ19a, 19bとして使用する。

#### 【0062】

なお、メモリセル領域の1つのpウェル3において、2つのゲート電極5a, 5bに挟まれる中央のn型不純物拡散領域6b上の第1の導電性プラグ19bは後述するビット線に電気的に接続され、さらに、その両側方の2つの第2の導電

性導電性プラグ19aは、後述する配線を介してキャパシタ上部電極13aに電気的に接続される。

#### 【0063】

その後に、真空チャンバ内で390℃の温度で第2の層間絶縁膜18を加熱して水を外部に放出させる。

#### 【0064】

次に、図7(b)に示す構造を形成するまでの工程を説明する。

#### 【0065】

まず、第2の層間絶縁膜18と導電性プラグ19a, 19bの上に、酸化防止膜20としてSiON膜をプラズマCVD法により例えば100nmの厚さに形成する。このSiON膜は、シラン(SiH<sub>4</sub>)とN<sub>2</sub>Oの混合ガスを用いて形成される。

#### 【0066】

続いて、酸化防止膜20の上にフォトレジスト(不図示)を塗布し、これを露光、現像してキャパシタ上部電極13aの上に窓を形成する。そして、フォトレジストをマスクに用いてエンキャップ層17、第2の層間絶縁膜18及び酸化防止膜20をエッチングすることにより、キャパシタ上部電極13a上にコンタクトホール20aを形成する。

#### 【0067】

そして、フォトレジスト(不図示)を除去した後に、550℃、60分間の条件で、キャパシタ誘電体膜12aを酸素雰囲気中でアニールして、キャパシタ誘電体膜12aの膜質を改善する。この場合、導電性プラグ19a, 19bは酸化防止膜20によって酸化が防止される。

#### 【0068】

次に、図8に示す構造を形成するまでの工程を説明する。

#### 【0069】

まず、CF系のガスを用いて酸化防止膜20をドライエッチングして除去する。

#### 【0070】

その後に、第2の層間絶縁膜18の上と導電性プラグ19a, 19bの上とコンタクトホール20aの内面上に、下地導電膜21として窒化チタン(TiN)膜を

スパッタにより形成する。この下地導電膜21は、後述するアルミニウム膜と密着性のよいバリア膜として機能する。下地導電膜21の構成材料は、窒化チタンに限られるものではなく、窒化チタンとチタンの積層構造であってもよいし、窒化タングステンであってもよい。

#### 【0071】

そして、下地導電膜21の上にアルミニウム膜22をスパッタにより形成する。アルミニウム膜22は、第2層間絶縁膜18の上で約500nmとなるように形成される。なお、アルミニウム膜22には銅が含有されることもある。

#### 【0072】

続いて、図9に示すように、アルミニウム膜22と下地導電膜21をフォトリソグラフィー法によりパターニングして、pウェル3中央の導電性プラグ19bの上にビアコンタクトパッド21cを形成するとともに、その両側方の導電性プラグ19aの上面からコンタクトホール20aを通してキャパシタ上部電極13aの上面に接続される上部電極引出配線21aを形成する。

#### 【0073】

これにより、キャパシタ上部電極13aは、上部電極引出配線21a、導電性プラグ19a及び高融点金属シリサイド層8aを介してpウェル3の両側寄りのn型不純物拡散領域6aに電気的に接続されることになる。

#### 【0074】

なお、下地導電膜21やアルミニウム膜22を形成するためのスパッタとしてロングスロースパッタ(Long Through Spattering)を用いてもよい。

#### 【0075】

次に、図10の構造を形成するまでの工程を説明する。

#### 【0076】

まず、TEOSをソースに用いたプラズマCVD法によりSiO<sub>2</sub>膜を第3の層間絶縁膜23aとして2300nmの厚さに形成する。これにより、第2の層間絶縁膜18、上部電極引出配線21a、コンタクトパッド21cは第3の層間絶縁膜23aにより覆われる。これに続いて、第3の層間絶縁膜23aの表面をCMP法により平坦化する。

**【0077】**

さらに、TEOSを用いてプラズマCVD法によりSiO<sub>2</sub>よりなる保護絶縁膜23bを第3の層間絶縁膜23aの上に形成する。そして、第3の層間絶縁膜23aと保護絶縁膜23bをパターニングして、メモリセル領域のpウェル3の中央の上方にあるコンタクトパッド21cの上にホール22aを形成する。

**【0078】**

次に、保護絶縁膜23bの上面とホール22aの内面の上に、膜厚90nm～150nmの窒化チタン(TiN)よりなる密着層24をスパッタ法により形成し、その後、基板温度を約400℃に設定し、ホール22aを埋め込むようにブランケットタングステン膜25をWF<sub>6</sub>を用いるCVD法により形成する。

**【0079】**

次に、ブランケットタングステン膜25をエッチバックしてホール22aの中にのみ残し、ホール22a内のブランケットタングステン膜25を二層目の導電性プラグとして使用する。

**【0080】**

その後に、密着層24、ブランケットタングステン膜25の上に金属膜26をスパッタ法により形成する。続いて、金属膜26をフォトリソグラフィー法によりパターニングして、二層目の導電性プラグ25、コンタクトパッド21c、一層目の導電性プラグ19b及び高融点金属シリサイド層8bを介してn型不純物拡散領域6bに電気的に接続されるビット線BLを形成する。

**【0081】**

上記した実施形態では、下部電極用導電膜の下側層11aとしてTi膜をスパッタ法で形成する際、基板温度を室温よりも高い温度に保持したが、本願発明者は、Ti膜の配向性がその基板温度に依存すると推測し、次のような実験を行った。

**【0082】**

この実験では、Ti膜を形成する際の基板温度を色々振って、既述のDCマグネットロансパッタ法によりTi膜をSiO<sub>2</sub>膜上に100nmの厚さに形成し、それぞれの基板温度のサンプルについてTi膜の(002)方向の配向強度をXRD(X Ray Diffraction)により測定した。その結果を図11に示す。

## 【0083】

図11の横軸は基板温度を示し、縦軸は、Tiの(002)方向へのX線の積分強度を表す。

## 【0084】

図11に示すように、基板温度が室温（20℃）の場合にTi膜の配向が最も小さく、基板温度が室温よりも高くなるに従い配向強度も大きくなることが理解される。但し、その配向強度は150℃付近で最大となった後に減少傾向に転じ、グラフを延長すると300℃付近において室温と略同等の配向強度となる。これらより、Ti膜の(002)方向配向強度を高めるには、Ti膜の成膜時の基板温度を室温よりも高くし、且つ、300℃よりも低くすればよいことが理解される。

## 【0085】

なお、上記のようにTi膜の配向方向は(002)方向となるが、これはTi膜の全てが(002)方向に配向するというのではなく、XRDで見たときに(002)方向に回折線のピークを有するということであり、(002)方向の配向がTi膜において支配的になるという意味である。この点については、後述のPt膜とPZT膜においても同様である。

## 【0086】

特に、基板温度を50℃～250℃に設定することにより、基板温度を室温に設定した場合に比べてTi膜の(002)方向の積分強度が約 $1.0 \times 10^{16}$ 以上の顕著に高い値となる。

## 【0087】

また、グラフを延長すると、基板温度が350℃では、このように(002)方向に強い配向を持ったTi膜を成膜できないことが理解される。

## 【0088】

Ti膜の配向強度のこのような振る舞いは、その上に上側層11bとして形成されるPt膜の配向にも反映されると考えられる。この点を確かめるため、本願発明者は、Ti膜を成膜する際の基板温度と、その上のPt膜の配向強度との関係を調査した。この実験では、Ti膜を厚さ20nmに形成し、その上にPt膜を厚さ175nmに形成したが、これらの厚さや成膜条件は既述の実施形態と同じである。また、

配向強度は、上記と同様にXRDにより調べられた。

#### 【0089】

その実験結果を図12に示す。図12の横軸はTi膜を成膜する際の基板温度を示し、縦軸は、Ptの(222)方向へのX線の積分強度を表す。

#### 【0090】

図12に示すように、先の図11の傾向と略同様の傾向がPt膜の(222)方向の配向強度にも見られ、基板温度を室温よりも高くし、且つ300°Cよりも低くするところで、Pt膜の配向が高められるのが理解される。

#### 【0091】

更に本願発明者は、これらTi膜とPt膜とで構成される下部電極上にPZT膜を形成し、Ti成膜時の基板温度を上記のように振ることでその上のPt膜の(222)方向の配向強度を変化させて、それによりPZT膜の(111)方向の配向強度がどのように変化するのかを実験した。なお、この実験では、Pt膜を厚さ175nmに形成し、PZT膜を厚さ約200nmに形成した。また、PZT膜の配向強度はXRDにより調べられた。

#### 【0092】

その結果は図13の通りであり、Pt膜の(222)方向の配向強度が強くなるほどPZT膜の(111)方向の配向強度が強くなる。よって、PZT膜の配向強度を高めるには、Ti膜を成膜する際の基板温度を既述のように設定してその上のPt膜の配向を高めればよいのが理解される。

#### 【0093】

このように、下部電極用導電膜11の下側層11aとしてTi膜をスパッタ法により形成する際、基板温度を室温より高く、且つ300°Cよりも低くするところで、Ti膜の配向強度が高められ、その結果強誘電体膜12の配向強度も高められるので、自発分極量の大きな強誘電体キャパシタQを安定して量産することが可能となる。

#### 【0094】

しかも、これによれば、Ti成膜時の基板温度を制御するという簡便な方法で強誘電体膜の配向強度が高められるので、既存のプロセスを変更すること無しに現

状の量産工程にすぐさま適用することができる。そのため、プロセスコストが実質的に上昇せず、また、特許文献1のようなプロセスの煩雑化を招くことも無い。

### 【0095】

一方、非特許文献1では、基板温度を350°CにしてTi膜を形成しているが、これでは室温で成膜したTi膜と同程度の配向しか得られないことが図11の実験結果より理解される。

### 【0096】

また、基板温度を上記の範囲に設定し、且つ、Tiのスパッタ雰囲気中にH<sub>2</sub>Oを添加すると、基板温度によるTi膜の配向の強化の他に、H<sub>2</sub>Oによる配向の強化も加わるので、Ti膜の配向がより一層高められると期待できる。

### 【0097】

更に、下側層11aを形成する前に、第1の層間絶縁膜10の表面をNH<sub>3</sub>プラズマに曝して改質することにより、下側層11aを構成するTi膜の(002)方向の配向強度が高められることが別の実験結果によって確かめられた。

### 【0098】

そのNH<sub>3</sub>プラズマ処理の条件としては、例えば、チャンバ(不図示)内に導入されるNH<sub>3</sub>ガス流量を350sccm、チャンバ内の圧力を1Torr、基板温度を400°C、基板に印加される13.56MHzの高周波電源のパワーを100W、プラズマ発生領域に供給される350kHzの高周波電源のパワーを55W、電極と第1の層間絶縁膜10との距離を50mils、プラズマ照射時間を60秒に設定すればよい。

### 【0099】

以下に、本発明の特徴を付記する。

### 【0100】

(付記1) 半導体基板の上方に絶縁膜を形成する工程と、  
室温よりも高く且つ300°Cよりも低い温度に基板温度を保持しながら下部電極用導電膜の下側層を前記絶縁膜上に形成する工程と、  
前記下部電極用導電膜の上側層を前記下側層上に形成し、該上側層と下側層と

を前記下部電極用導電膜とする工程と、

前記下部電極用導電膜上に強誘電体膜を形成する工程と、

前記強誘電体膜上に上部電極用導電膜を形成する工程と、

前記上部電極用導電膜、前記強誘電体膜、及び前記下部電極用導電膜をパテーニングして強誘電体キャパシタを形成する工程と、

を有することを特徴とする半導体装置の製造方法。

#### 【0101】

(付記2) 前記下部電極用導電膜の下側層をスパッタ法により形成することを特徴とする付記1に記載の半導体装置の製造方法。

#### 【0102】

(付記3) 前記下部電極用導電膜の下側層として、チタン層、又はチタンと貴金属との合金層を形成することを特徴とする付記1又は付記2に記載の半導体装置の製造方法。

#### 【0103】

(付記4) 前記下部電極用導電膜の下側層の配向方向は(002)方向であることを特徴とする付記3に記載の半導体装置の製造方法。

#### 【0104】

(付記5) 前記下部電極用導電膜の上側層として、プラチナ、イリジウム、ルテニウム、パラジウム、酸化プラチナ、酸化イリジウム、酸化ルテニウム、及び酸化パラジウムのいずれか又は合金よりなる単層膜、又は積層膜を形成することを特徴とする付記1乃至付記4のいずれかに記載の半導体装置の製造方法。

#### 【0105】

(付記6) 前記下部電極用導電膜の上側層の配向方向は(222)方向であることを特徴とする付記5に記載の半導体装置の製造方法。

#### 【0106】

(付記7) 前記強誘電体膜として、 $Pb(Zr, Ti)O_3$ 、 $(Pb, La)(Zr, Ti)O_3$ 、 $SrTiO_3$ 、 $(Ba, Sr)TiO_3$ 、 $SrBi_2(Ta_xNb_{1-x})_2O_9$  ( $0 < x \leq 1$ )、及び $(Pb, La)(Zr, Ti)O_3$ のいずれかよりなる膜、又は、 $Pb(Zr, Ti)O_3$ にカルシウム、ストロンチウム、及びランタンの少なくとも一つをドープした材料よりなる膜を形成することを特徴とする付

記1乃至付記6のいずれかに記載の半導体装置の製造方法。

#### 【0107】

(付記8) 前記強誘電体膜の配向方向は(111)方向であることを特徴とする付記7に記載の半導体装置の製造方法。

#### 【0108】

(付記9) 前記下部電極用導電膜の下側層を形成する前に、前記絶縁膜の表面をNH<sub>3</sub>プラズマに曝して改質することを特徴とする付記1乃至付記8のいずれかに記載の半導体装置。

#### 【0109】

(付記10) 前記下部電極用導電膜の下側層を形成する雰囲気中にH<sub>2</sub>Oを添加することを特徴とする付記1乃至付記9のいずれかに記載の半導体装置の製造方法。

#### 【0110】

##### 【発明の効果】

以上説明したように、本発明によれば、下部電極用導電膜の下側層を成膜する際、室温よりも高く且つ300℃よりも低い温度に基板温度を保持するので、下側層の配向強度が強くなり、その影響を受けて下部電極用導電膜の上側層やその上の強誘電体膜の配向も大きくなるので、自発分極量の大きな強誘電体キャパシタを提供することができる。

##### 【図面の簡単な説明】

【図1】 図1は、本発明の実施の形態に係る半導体装置の形成工程を示す断面図（その1）である。

【図2】 図2(a)、(b)は、本発明の実施の形態に係る半導体装置の形成工程を示す断面図（その2）である。

【図3】 図3(a)、(b)は、本発明の実施の形態に係る半導体装置の形成工程を示す断面図（その3）である。

【図4】 図4(a)、(b)は、本発明の実施の形態に係る半導体装置の形成工程を示す断面図（その4）である。

【図5】 図5(a)、(b)は、本発明の実施の形態に係る半導体装置の形成工

程を示す断面図（その5）である。

**【図6】** 図6(a)、(b)は、本発明の実施の形態に係る半導体装置の形成工程を示す断面図（その6）である。

**【図7】** 図7(a)、(b)は、本発明の実施の形態に係る半導体装置の形成工程を示す断面図（その7）である。

**【図8】** 図8は、本発明の実施の形態に係る半導体装置の形成工程を示す断面図（その8）である。

**【図9】** 図9は、本発明の実施の形態に係る半導体装置の形成工程を示す断面図（その9）である。

**【図10】** 図10は、本発明の実施の形態に係る半導体装置の形成工程を示す断面図（その10）である。

**【図11】** 図11は、Ti膜の成膜温度と、Ti膜の(002)方向への配向強度との関係をXRDにより調査して得られたグラフである。

**【図12】** 図12は、Ti膜の成膜温度と、Ti膜の上に形成したPt膜の(222)方向への配向強度との関係をXRDにより調査して得られたグラフである。

**【図13】** 図13は、Ti膜の成膜温度を振ることによりその上のPt膜の(222)方向配向強度を変化させた場合の、Pt膜上のPZT膜の(111)方向の配向強度をXRDにより調査して得られたグラフである。

#### 【符号の説明】

1…シリコン基板、2…素子分離絶縁膜、3…pウェル、4…ゲート絶縁膜、5a, 5b…ゲート電極、6a, 6b…n型不純物拡散領域、7…側壁絶縁膜、8a, 8b…高融点金属シリサイド層、9…カバー膜、10…層間絶縁膜、11…下部電極用導電膜、11a…下側層、11b…上側層、11c…下部電極、12…強誘電体膜、12a…誘電体膜、13…第2の導電膜、13a…上部電極、14, 15, 16…レジストパターン、17…エンキャップ層、18…層間絶縁膜、19a, 19b, 19c…導電性プラグ、20…酸化防止膜、20a, 20b…コンタクトホール、21…窒化チタン（バリア）膜、21a…上部電極引出配線、21c…コンタクトパッド、22…アルミニウム膜、23a…層間絶縁膜、23b…保護絶縁膜、24…密着層、25…プラケットタンゲステン膜、26…

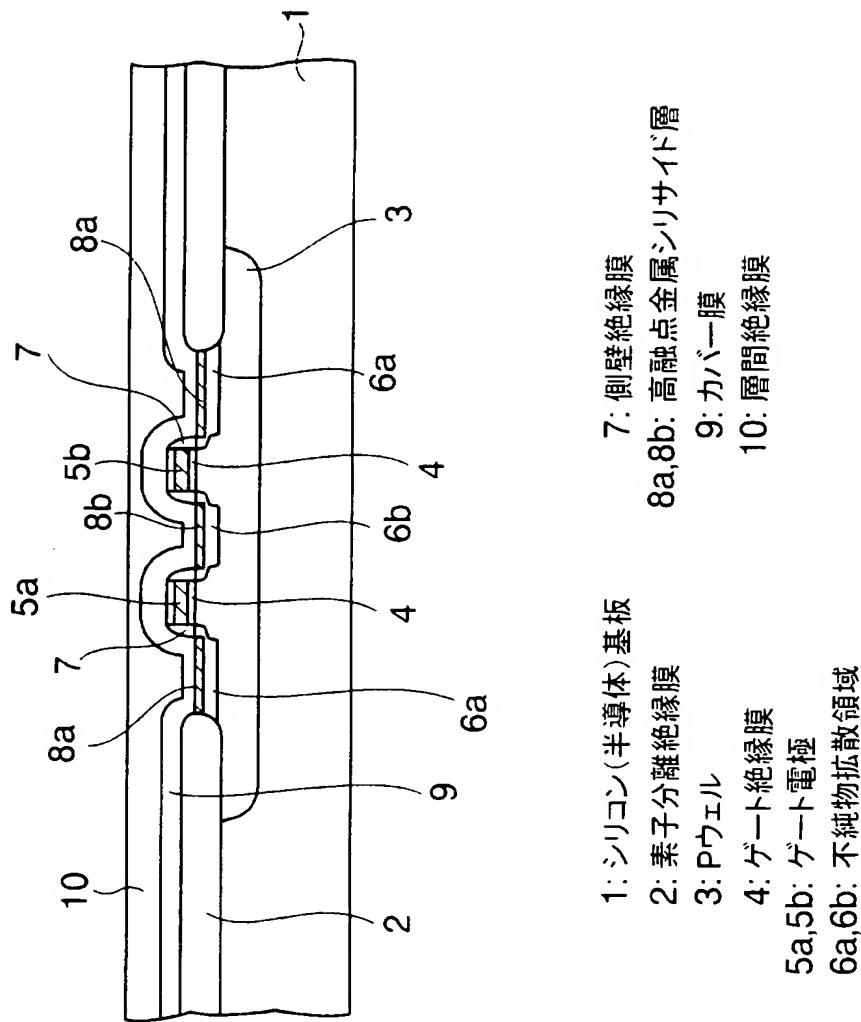
ビット線。

【書類名】

図面

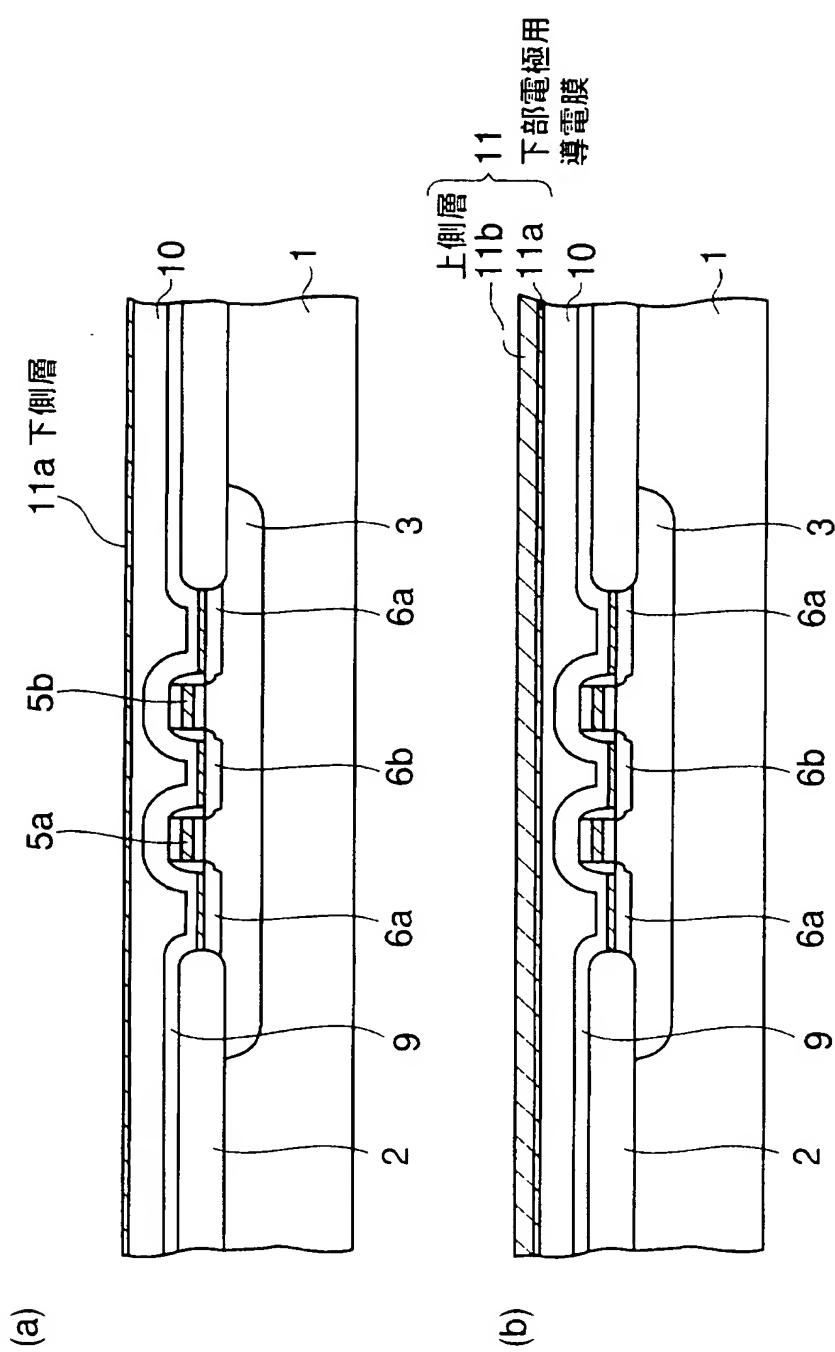
本発明の実施形態 (1)

【図 1】



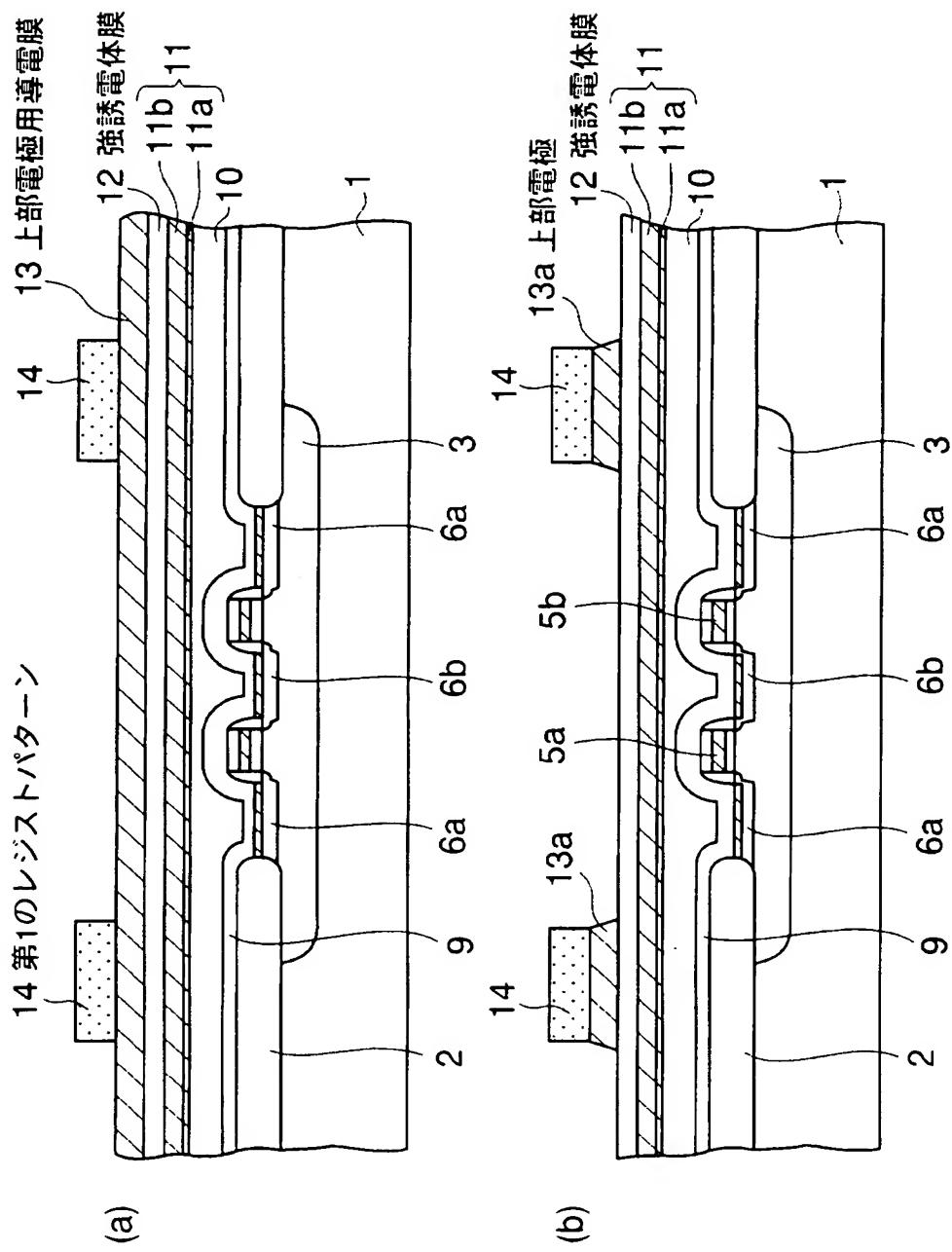
【図2】

本発明の実施形態 (2)



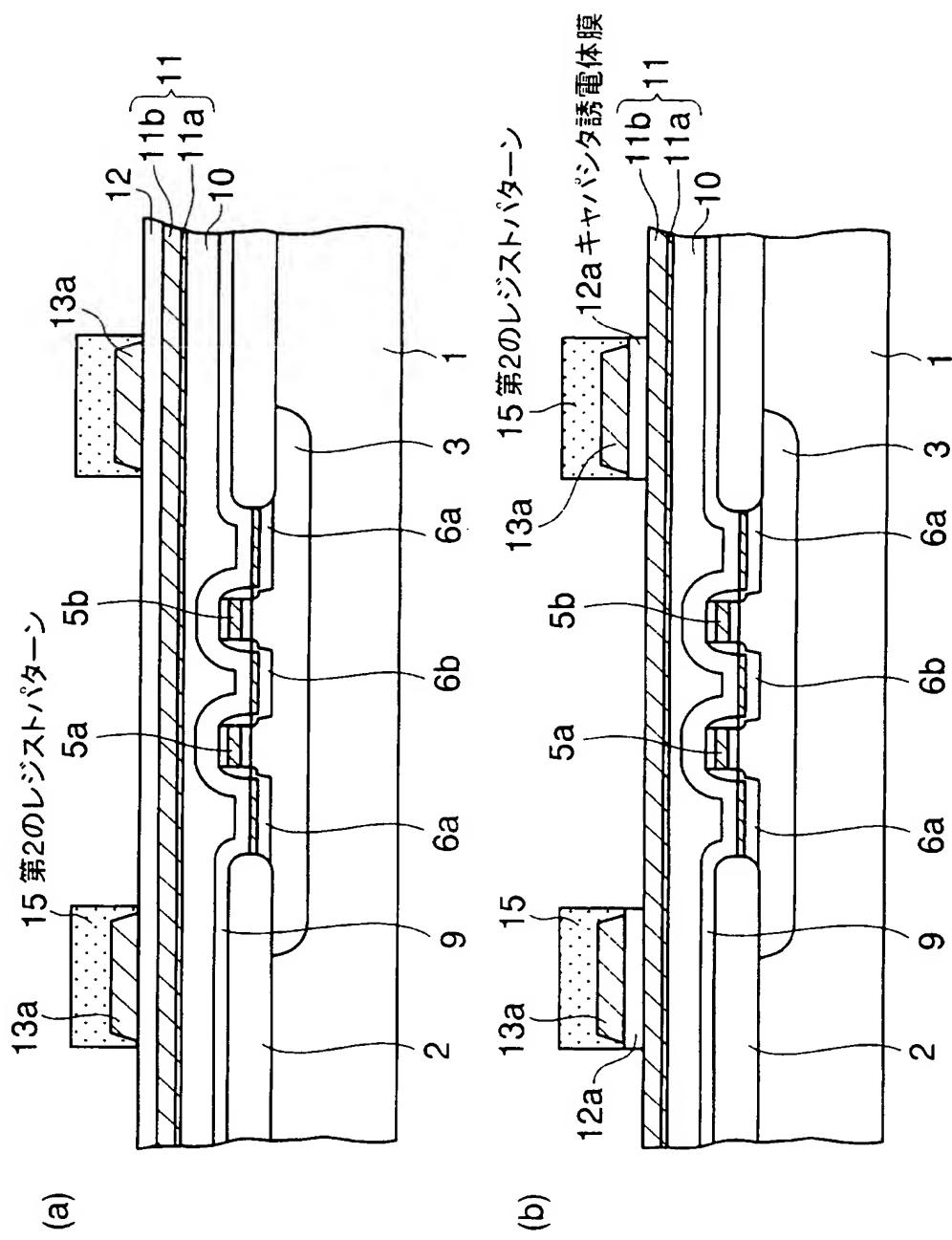
【図 3】

本発明の実施形態 (3)



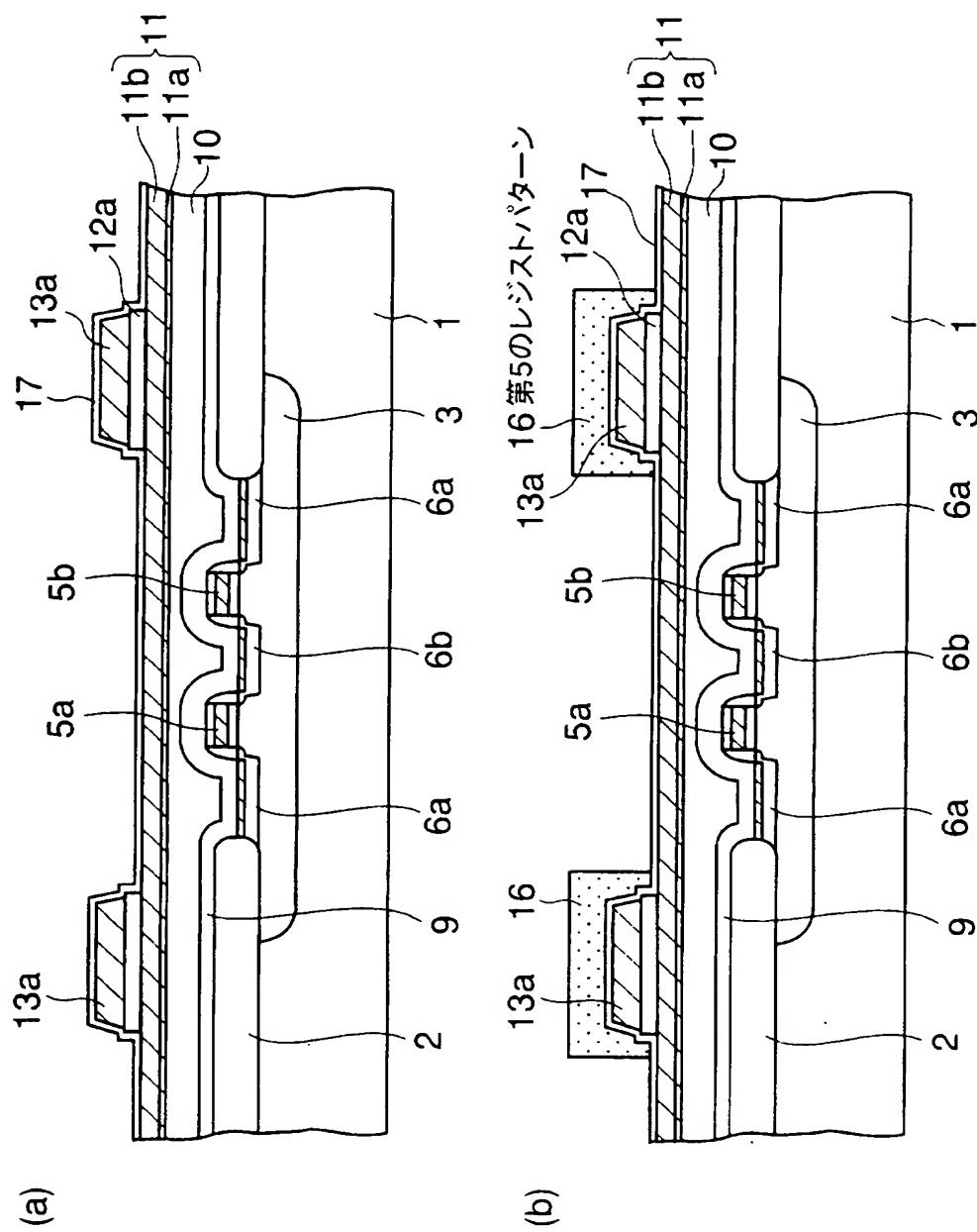
【図 4】

本発明の実施形態 (4)



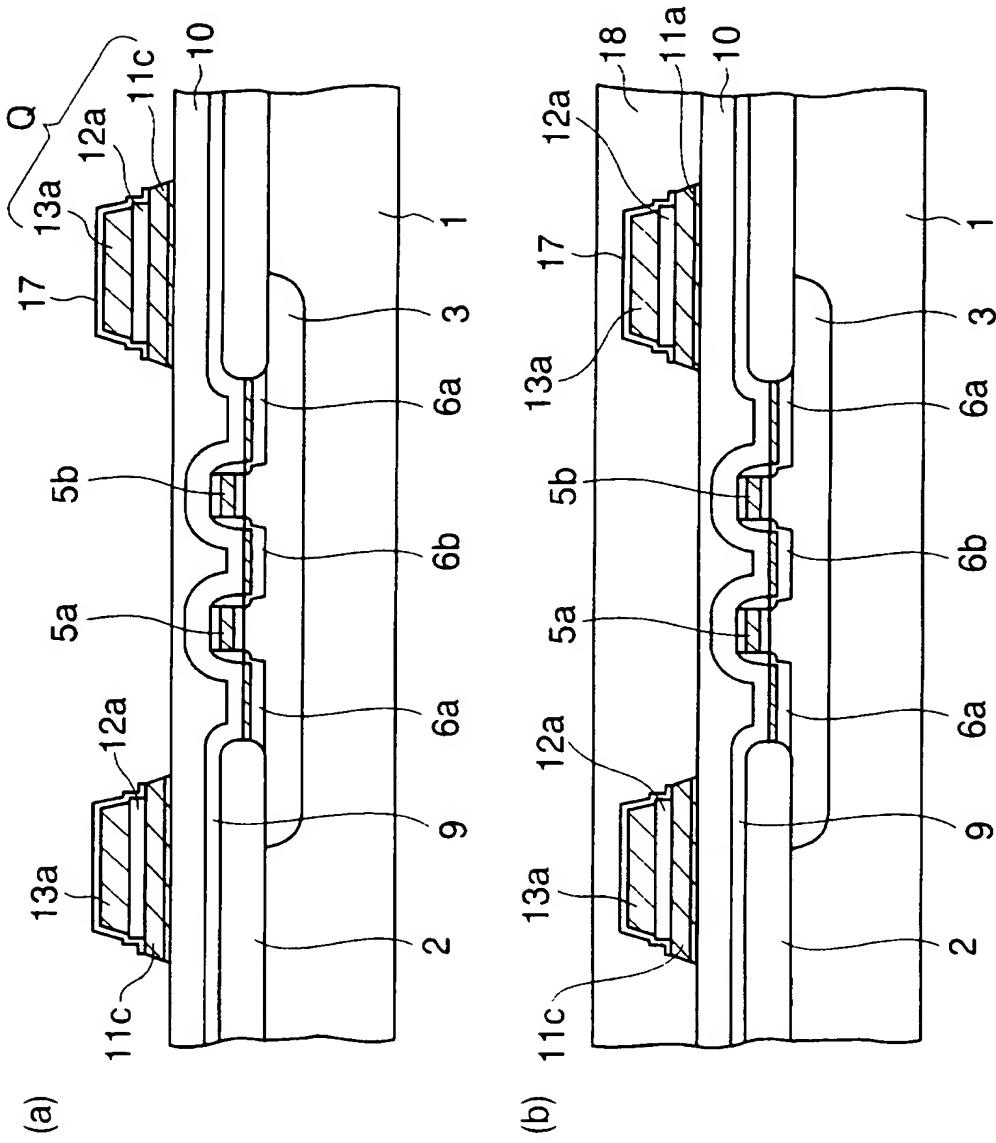
【図5】

本発明の実施形態(5)

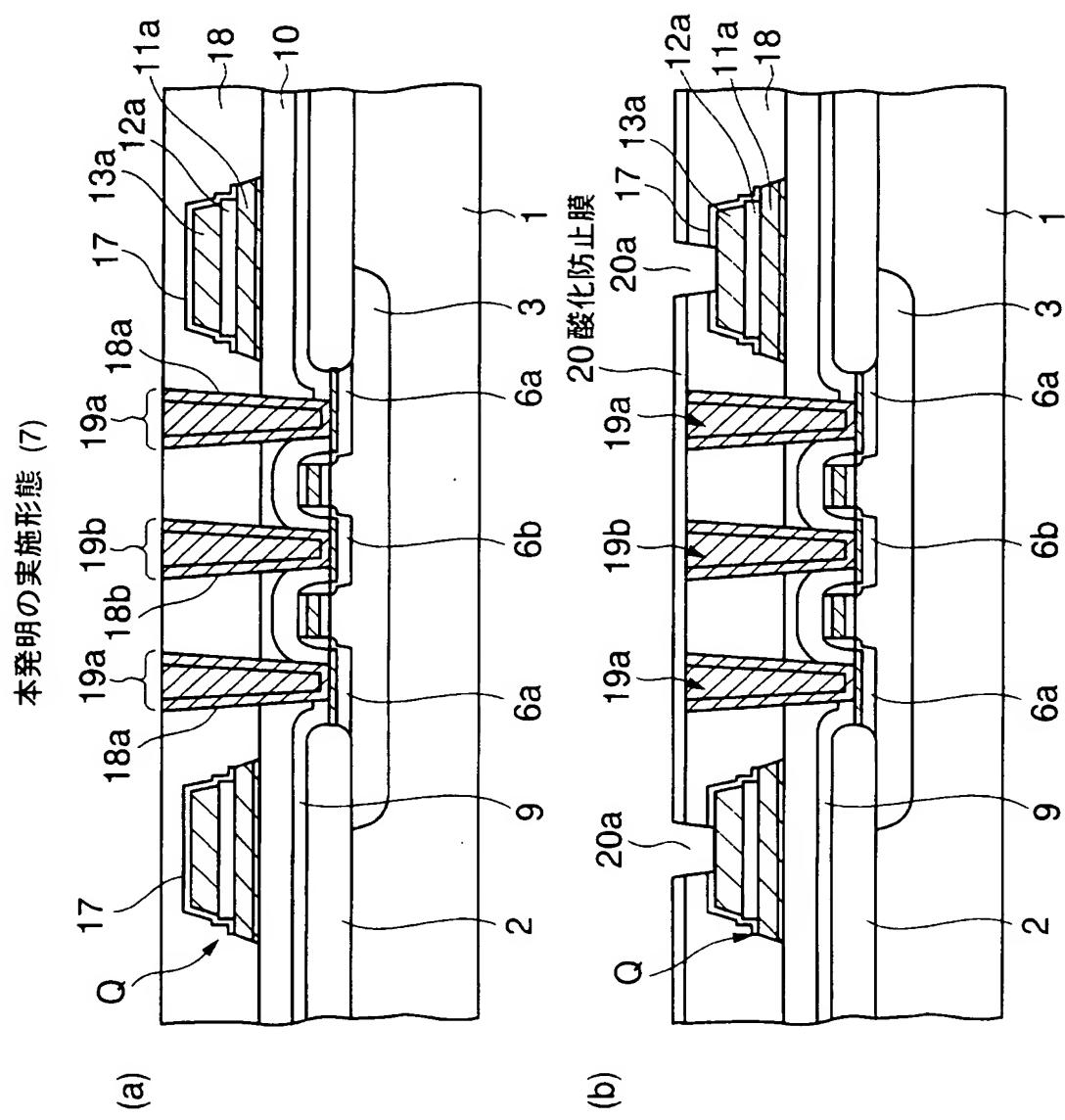


【図 6】

本発明の実施形態 (6)

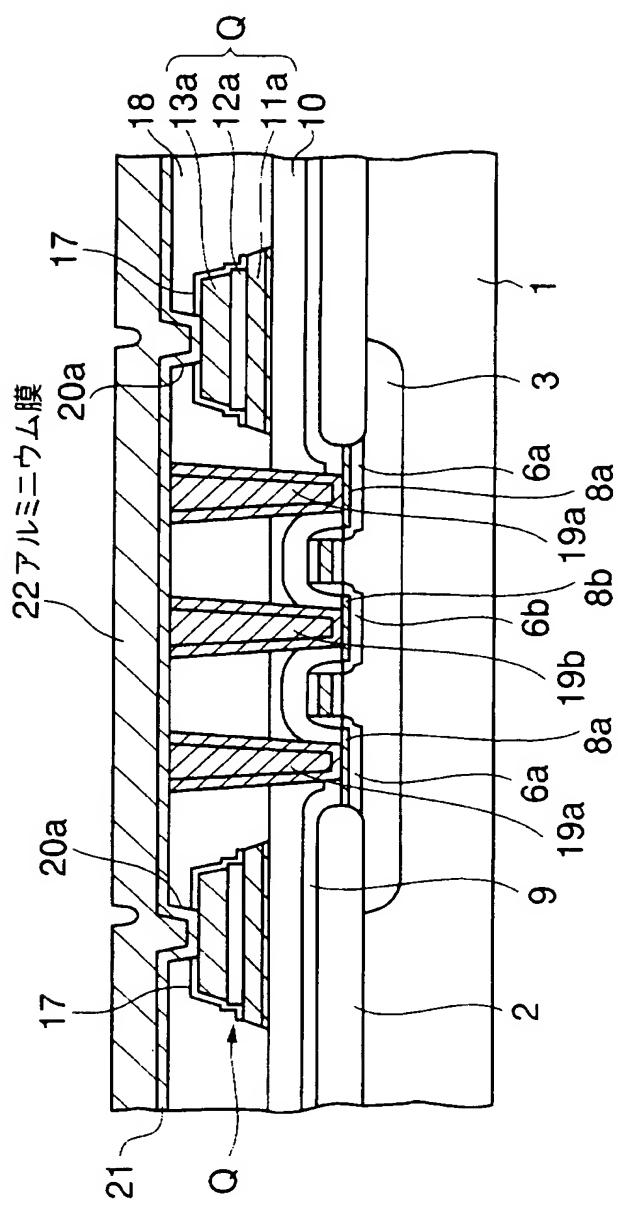


【図7】



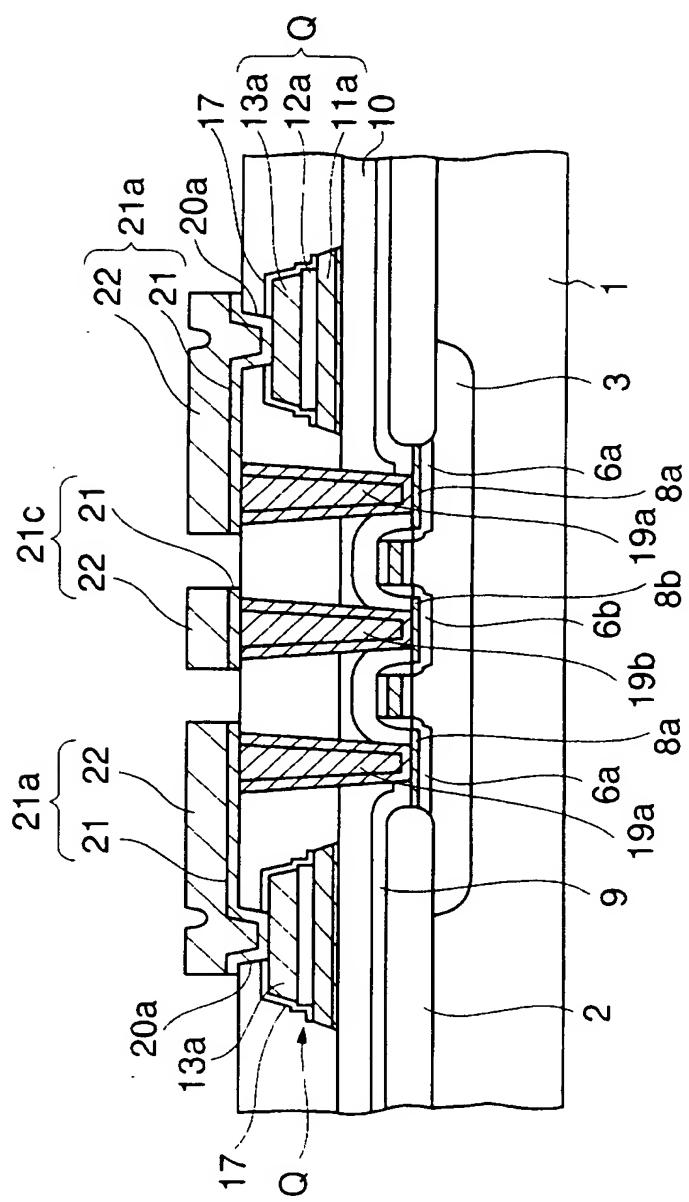
【図 8】

本発明の実施形態 (8)



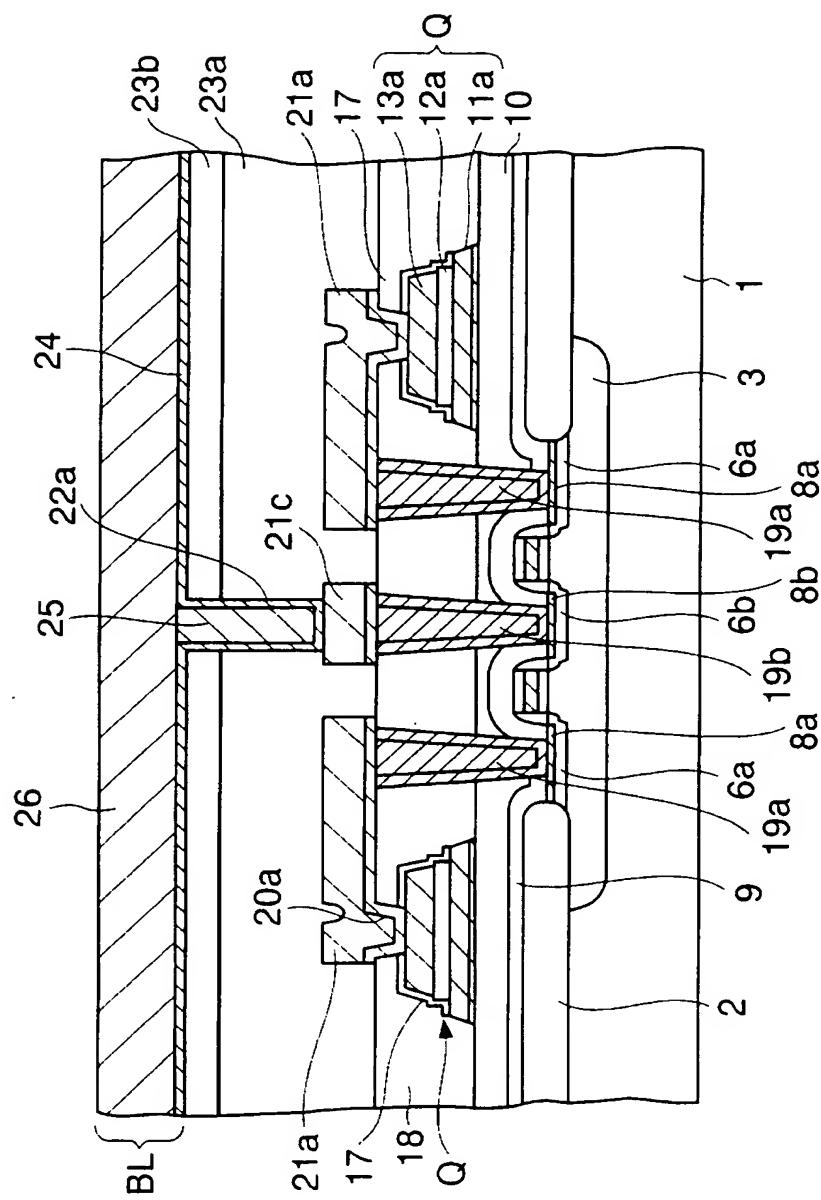
【図 9】

本発明の実施形態 (9)



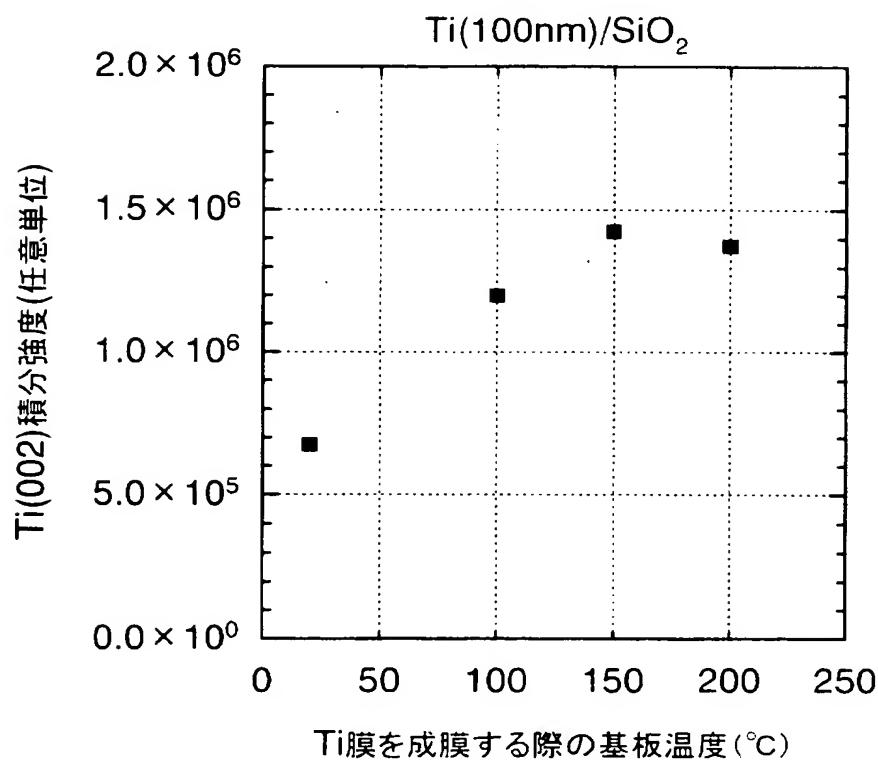
【図10】

本発明の実施形態 (10)



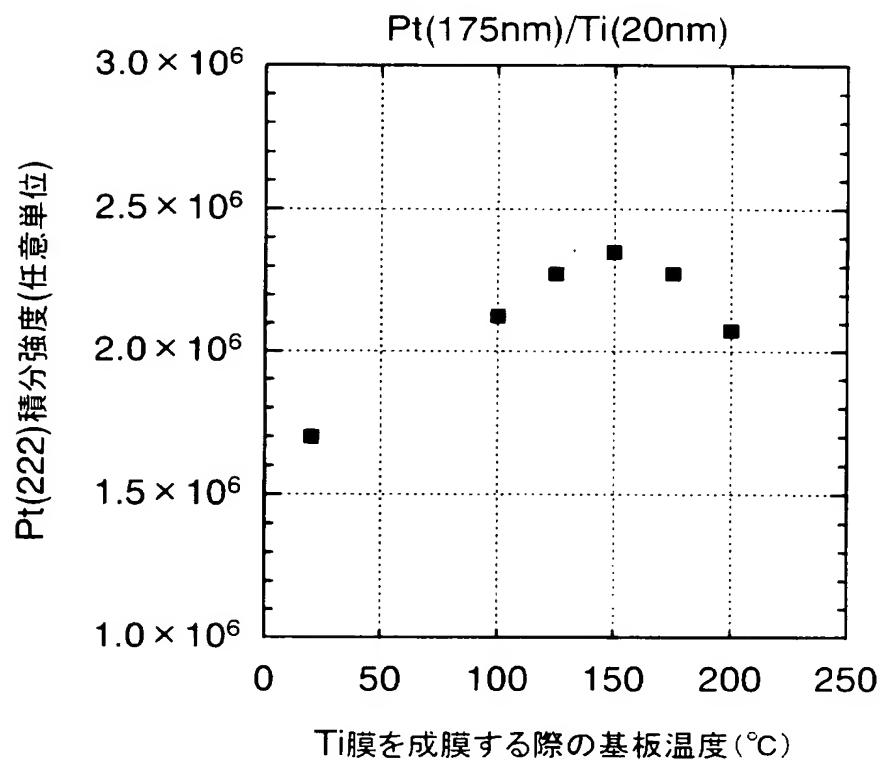
## 【図11】

Ti層の成膜温度と、Ti層の(002)方向への配向強度との関係をXRDにより調査して得られたグラフ



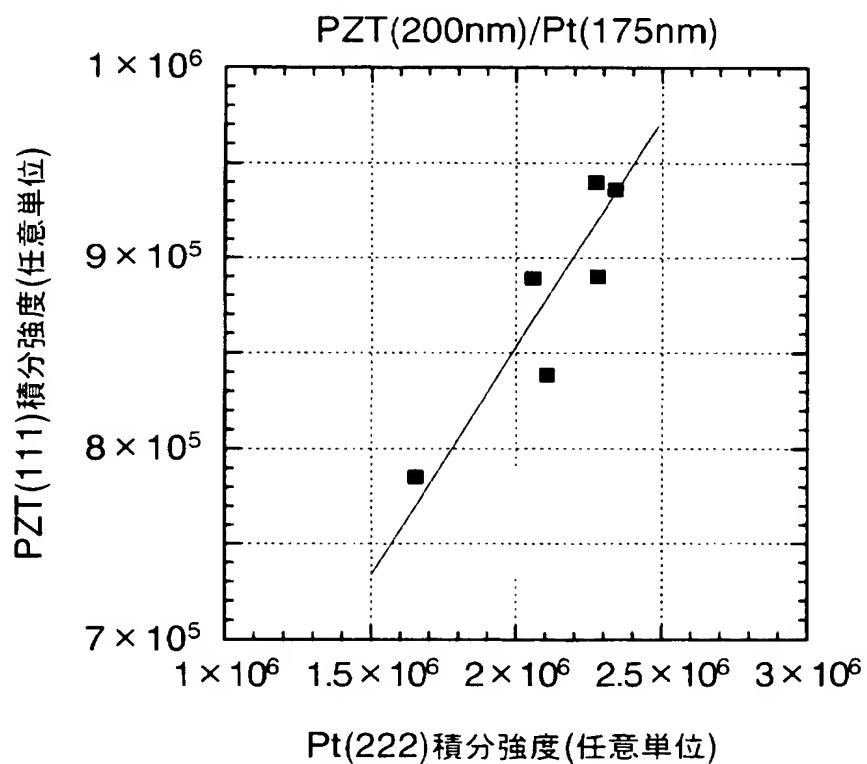
【図12】

Ti層の成膜温度と、Ti層の上に形成したPt層の(222)方向への配向強度との関係をXRDにより調査して得られたグラフ



## 【図13】

Ti層の成膜温度を振ることによりその上のPt層の(222)方向配向強度を変化させた場合の、Pt層上のPZT膜の(111)方向の配向強度をXRDにより調査して得られたグラフ



【書類名】 要約書

【要約】

【課題】 キャパシタ下部電極の配向強度を従来よりも高くすることができる半導体装置の製造方法を提供すること。

【解決手段】 シリコン（半導体）基板1の上方に層間絶縁膜10を形成する工程と、室温よりも高く且つ300℃よりも低い温度に基板温度を保持しながら下部電極用導電膜11の下側層11aを層間絶縁膜10上に形成する工程と、下部電極用導電膜11の上側層11bを下側層11a上に形成し、該上側層11bと下側層11aとを下部電極用導電膜11とする工程と、下部電極用導電膜11上に強誘電体膜12を形成する工程と、強誘電体膜12上に上部電極用導電膜13を形成する工程と、上部電極用導電膜13、強誘電体膜12、及び下部電極用導電膜11をパターニングして強誘電体キャパシタQを形成する工程と、を有することを特徴とする半導体装置の製造方法による。

【選択図】 図2

特願2003-075761

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日  
[変更理由] 住所変更  
住 所 神奈川県川崎市中原区上小田中4丁目1番1号  
氏 名 富士通株式会社